

Family list

1 family member for: **JP4324430**

Derived from 1 application

- 1 **SEMICONDUCTOR DEVICE, PRODUCTION OF SEMICONDUCTOR
DEVICE, INSULATOR SUBSTRATE FOR MOUNTING SEMICONDUCTOR
DEVICE, AND LIQUID CRYSTAL DISPLAY DEVICE**

Inventor: SUKEGAWA OSAMU

Applicant: NIPPON ELECTRIC CO

EC:

IPC: G02F1/133; G02F1/1333; G02F1/136 (+1

Publication info: JP4324430 A - 1992-11-13

Data supplied from the esp@cenet database - Worldwide

**SEMICONDUCTOR DEVICE, PRODUCTION OF SEMICONDUCTOR DEVICE, INSULATOR SUBSTRATE
FOR MOUNTING SEMICONDUCTOR DEVICE, AND LIQUID CRYSTAL DISPLAY DEVICE**

Patent number: JP4324430
Publication date: 1992-11-13
Inventor: SUKEGAWA OSAMU
Applicant: NIPPON ELECTRIC CO
Classification:
- international: G02F1/133; G02F1/1333; G02F1/136; G02F1/1368; H01L29/786;
H05F3/02; G02F1/13; H01L29/66; H05F3/02; (IPC1-7): G02F1/133;
G02F1/1333; G02F1/136; H05F3/02
- european:
Application number: JP19910095279 19910425
Priority number(s): JP19910095279 19910425

Report a data error here

Abstract of JP4324430

PURPOSE: To prevent the electrification of the insulator substrate of a thin-film transistor (TFT) array, etc., and the attraction of foreign matter in a production stage and to improve a yield by forming high-resistance conductive films between the insulator substrate and transistors. **CONSTITUTION:** A tin oxide film 2 is deposited on the glass substrate 1 which is an insulator and thereafter, the TFTs are formed on the glass substrate 1. While the entire part of the substrate 1 is preferably coated with the high-resistance film in order to prevent the electrification of the substrate 1, the pickup of the dust on the parts where the TFTs, etc., are not mounted at all is of no problem and, therefore, at least the parts to be mounted with the TFTs, etc., of the substrate 1 are simply necessitated to be coated with the high-resistance films. The transparent films are obtainable if the conductive films produced of tin oxide or by mixing indium with the tin oxide, etc., are used as the high-resistance conductive films. The substrate transparent as a whole is obtained if the insulator substrate is transparent and the high-resistance conductive films are transparent as well. Such substrate is effective for liquid crystal displays, image sensors, etc.

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-324430

(43) 公開日 平成4年(1992)11月13日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	8018-2K		
1/133	5 4 0	8806-2K		
1/1333	5 0 0	7724-2K		
H 0 5 F 3/02	L	7028-5G		

審査請求 未請求 請求項の数10(全 6 頁)

(21) 出願番号 特願平3-95279

(22) 出願日 平成3年(1991)4月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 助川 統

東京都港区芝五丁目7番1号日本電気株式
会社内

(74) 代理人 井理士 内原 晋

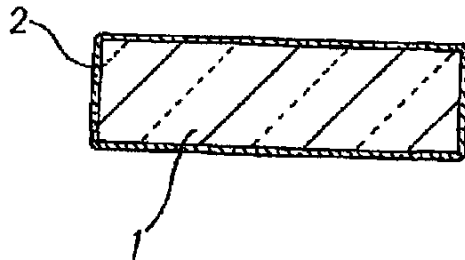
(54) 【発明の名称】 半導体装置、半導体装置の製造方法、半導体装置を搭載するための絶縁体基板及び液晶表示装置

(57) 【要約】

【目的】 薄膜トランジスタアレイ等の絶縁体基板の静電気の帯電を防止する。

【構成】 絶縁物であるガラス基板1上に酸化スズ膜2を被覆し、その後ガラス基板1上に薄膜トランジスタを形成する。

【効果】 絶縁体基板の帯電を防止し、製造工程での異物の吸着を防止し、歩留りを向上させる。



1…ガラス基板 2…酸化スズ被膜

1

【特許請求の範囲】

【請求項1】 絶縁体基板の少なくとも片面にトランジスタを搭載する半導体装置において、前記トランジスタと前記絶縁体基板の間に高抵抗の導電膜が形成されていることを特徴とする半導体装置。

【請求項2】 前記絶縁体基板及び前記導電膜が透明であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記導電膜の面抵抗が $80\text{M}\Omega/\square$ 以上 $10\text{G}\Omega/\square$ 以下であることを特徴とする請求項1記載の半導体装置。

【請求項4】 塩化第1スズを溶解した溶液に前記絶縁体基板を浸漬する工程と、その後前記絶縁体基板を水蒸気を含む雰囲気中で処理し、加水分解する工程と、その後前記絶縁体基板の少なくとも片面に前記トランジスタを搭載する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項5】 エチルアルコールに塩化第1スズを 0.1g/l 以上 12.5g/l 以下になるように溶解し、前記絶縁体基板を浸漬する工程と、前記絶縁体基板を水蒸気を含む雰囲気中で、 100°C ～ 150°C で熱処理し、加水分解する工程と、前記絶縁体基板を更に 250°C ～ 400°C で熱処理する工程と、前記絶縁体基板の少なくとも片面に前記トランジスタを搭載する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 少なくとも片面に半導体装置を搭載するための絶縁体基板において、前記絶縁体基板の前記片面には面抵抗の値が $80\text{M}\Omega/\square$ 以上 $10\text{G}\Omega/\square$ 以下である前記導電膜が設けられていることを特徴とする絶縁体基板。

【請求項7】 前記絶縁体基板及び前記導電膜が透明であることを特徴とする請求項6記載の絶縁体基板。

【請求項8】 少なくとも片面にトランジスタを搭載した絶縁体基板を有する液晶表示装置において、前記トランジスタと前記絶縁体基板との間に高抵抗の導電膜が形成されていることを特徴とする液晶表示装置。

【請求項9】 前記絶縁体基板及び前記導電膜が透明であることを特徴とする請求項8記載の液晶表示装置。

【請求項10】 前記導電膜の面抵抗が $80\text{M}\Omega/\square$ 以上 $10\text{G}\Omega/\square$ 以下であることを特徴とする請求項8記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置、半導体装置の製造方法及び半導体装置を搭載するための絶縁体基板に関し、特に帯電を防止した絶縁体基板を用いた半導体装置、半導体装置の製造方法、半導体装置を搭載するための絶縁体基板及び液晶表示装置に関する。

【0002】

【従来の技術】 絶縁体基板を用いた半導体装置の代表的なものとしては、アクティブマトリクス液晶ディスプレ

2

イに用いられる薄膜トランジスタアレイ基板があり、以下これを例にとって説明する。薄膜トランジスタアレイ基板は、ディスプレイ表示動作のため可視光に対して透明なガラス、石英等の基板に半導体膜、ゲート絶縁膜、金属配線等を形成して、製造される。図5は、従来の薄膜トランジスタアレイ基板の断面図である。ガラス基板41上にクロム(Cr)等によりゲート領域23が形成され、その後、ゲート絶縁膜24、動作層となるアモルファスシリコン25、ソース・ドレイン領域26、表示電極27を形成することにより、薄膜トランジスタアレイがガラス基板41上に形成されていた。

【0003】

【発明が解決しようとする課題】 この従来の薄膜トランジスタアレイ基板では、基板が絶縁体であるため種々の工程によって発生する静電気により、ガラス基板41が帯電する。ガラス基板41は帯電すると集塵効果をもつ。従って、薄膜トランジスタアレイ基板は製造工程で基板に種々の異物を吸着することになり、これが、製品歩留りを低下させる、という問題点があった。

【0004】

【課題を解決するための手段】 本発明によれば、絶縁体基板の少なくとも片面にトランジスタを搭載する半導体装置において、トランジスタと絶縁体基板の間に高抵抗の導電膜が形成されている半導体装置が得られる。

【0005】 また、本発明によれば、少なくとも片面にトランジスタを搭載した絶縁体基板を有する液晶表示装置において、トランジスタと絶縁体基板との間に高抵抗の導電膜が形成されている液晶表示装置が得られる。

【0006】 基板がガラス、樹脂等の絶縁体である場合、静電気が発生し、帯電してしまうことが多い。帯電した基板は、製造工程において種々の異物を吸着し、製品歩留りを低下させる。この帯電を防止するためには、導電性のある膜で基板を覆えばよい。この時、導電性のある膜の比抵抗が小さいと、導電性が高く、基板上に搭載するトランジスタ間が短絡したり、隣接トランジスタ間で信号が漏洩したりすることになるので、被覆する導電性のある膜は高抵抗である必要がある。

【0007】 また、基板の帯電を防止するためには、基板全体を高抵抗被膜で覆うことが望ましいが、トランジスタ等を全く搭載しない部分に関しては異物を吸着しても問題は無いので、基板の少なくともトランジスタ等を搭載する部分が高抵抗被膜で覆われていればよい。

【0008】 更に本発明によれば上記絶縁体基板及び上記高抵抗の導電膜が透明である半導体装置や液晶表示装置が得られる。

【0009】 高抵抗の導電膜として、酸化スズや、酸化スズにインジウムを混合して製造したもの等を用いた場合、透明な被膜を得ることができる。絶縁体基板が透明で、高抵抗の導電膜も透明であれば、全体として透明な基板を得ることが出来、液晶ディスプレイ、イメージセ

3

ンサ等に有効である。

【0010】次に、本発明によれば、上記導電膜の面抵抗の値が80MΩ/□以上10GΩ/□以下である半導体装置や液晶表示装置が得られる。

【0011】薄膜トランジスタアレイ基板等の場合、導電膜上に形成されるゲートライン間のリークによる信号の漏洩が問題となる。図4は薄膜トランジスタアレイ基

$$V_A = V_{DST} + (R_s + R_c) \cdot (V_{DST} - V_{DST}) / (2R_s + 2R_c + R_A) \quad \dots (1)$$

となる。隣接するゲート電圧 V_{DST} の影響をなくすには、10%影響を及ぼすことはない。また、典型的には $V_{DST} = 15$ V, $V_{DST} = -5$ V程度である。点Aの電圧 V_A の誤差は、小さい程好ましいが、通常0.5 V程度迄は、無

$$V_A' = (R_s + R_c) \cdot (V_{DST} - V_{DST}) / (2R_s + 2R_c + R_A) \quad \dots (2)$$

10インチ級液晶ディスプレイに用いられる薄膜トランジスタアレイでは、通常 $R_s = 10$ KΩ, $R_c = 1$ KΩ★

$$R_A > 400$$
 KΩ

抵抗値 R_s は、面抵抗を ρ 、隣接するゲートの対向長を

$$R_s = \rho \cdot W / L$$

と表わされる。一般に $W = 100$ μm, $L = 20$ mmであるから、(3)、(4)式から、 $\rho > 80$ MΩ/□であれば、隣接ゲートライン間の信号の漏洩は実用上問題のないものとなる。

【0012】また、通常のガラス基板は100GΩ/□程度であり、ガラス基板に微小の水分が付着したものの面抵抗が10GΩ/□程度である。静電気の帯電を防止するには、10GΩ/□よりは小さい抵抗値の膜が望ましい。

【0013】したがって、絶縁体基板に被着する導電膜は、80MΩ/□以上10GΩ/□以下であることが望ましい。静電気の帯電防止と、導電性によるトランジスタへの悪影響との兼ね合いから、特に好ましくは、100MΩ/□～10GΩ/□程度の導電膜が望ましい。

【0014】更に、本発明によれば、塩化第1スズ(SnCl₄)を溶解した溶液に絶縁体基板を浸漬する工程と、その後絶縁体基板を水蒸気を含む雰囲気中で処理し、加水分解する工程と、その後絶縁体基板の少なくとも片面にトランジスタを搭載する工程とを含む半導体装置の製造方法が得られる。塩化第1スズの加水分解により、酸化スズの被膜を形成することができるものである。

【0015】更に、本発明によれば、エチルアルコールに塩化第1スズ(SnCl₄)を0.1g/l以上12.5g/l以下になるように溶解し、絶縁体基板を浸漬する工程と、絶縁体基板を水蒸気を含む雰囲気中で、100℃～150℃で1時間～12時間熱処理し、加水分解する工程と、絶縁体基板を更に250℃～400℃で1時間～3時間熱処理する工程と、絶縁体基板の少なくとも片面にトランジスタを搭載する工程とを含む半導体装置の製造方法がより好ましくは得られる。

【0016】エチルアルコールに塩化第1スズを溶解し

4

基板におけるゲートドライバー、配線系の等価回路のモデル図である。M番目とM+1番目のゲートドライバーを想定したものであり、 R_s は、本発明による高抵抗被膜による抵抗値を変えている。今、M番目のゲート配線 G_s の電圧を V_{DST} 、M+1番目のゲート配線 G_{s+1} の電圧を V_{DST} とすると、点Aにおける内電圧 V_A は、

★程度である。(2)式に $V_{DST} = 15$, $V_{DST} = -5$, $R_s = 10$, $R_c = 1$, $V_A < 0.5$ を代入すると、

L、隣接するゲートのスペース長をWとすると、

たものに基板を浸漬し、加水分解反応を起こさせると、酸化スズ被膜が得られる。その後再び熱処理をするのは、酸化スズ被膜の硬化性、密着性を高めるためである。酸化スズ被膜の面抵抗は、エチルアルコールに溶解する塩化第1スズの濃度に反比例する。1g/lの濃度では、1GΩ/□程度の酸化スズ被膜が得られ、5g/lの濃度では200MΩ/□となる。したがって、前述の80MΩ/□～10GΩ/□の範囲の面抵抗の導電膜を得るためには、エチルアルコール中の塩化第1スズの濃度を0.1g/l以上12.5g/l以下になるように設定すれば良いことになる。また、導電膜としてより望ましい1GΩ/□程度の酸化スズ膜を得るためには、エチルアルコール中の塩化第1スズの濃度を1g/l程度に設定すれば良いことになる。

【0017】更に、本発明によれば、少なくとも片面に半導体装置を搭載するための絶縁体基板において、面抵抗の値が80MΩ/□以上10GΩ/□以下である導電膜で覆われている絶縁体基板が得られる。また、絶縁体基板及び導電膜が透明である絶縁体基板が得られる。あらかじめ高抵抗の導電膜で覆われた絶縁体基板を製造しておけば、その後トランジスタ等を搭載して、半導体装置を製造する際に有効である。また、その絶縁体基板及び高抵抗の導電膜が透明であれば、液晶ディスプレイ、イメージセンサ等の基板として有効である。絶縁体基板の導電膜は、必ずしも全面が覆われている必要は無く、絶縁体基板の側面(切断面)や角等、半導体装置を搭載しない部分の絶縁体基板が露出していても何ら問題は無い。

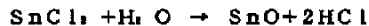
【0018】

【実施例】次に本発明について図面を参照して説明す

【0019】図1は本発明による半導体装置を搭載するための絶縁体基板の一実施例を示す断面図である。

【0020】ガラス基板1上に酸化スズ(SnO)被膜2を後に述べるディップ法によって形成し、しかる後に薄膜トランジスタの製造工程をへて、薄膜トランジスタアレイ基板を製造する。

【0021】酸化スズ被膜2は以下の手順で形成され*



この後、300℃でさらに2時間熱処理を行なうことにより、酸化スズ被膜2をガラス基板1に焼き付け、膜の硬化性・密着性を高める。酸化スズ被膜2の面抵抗は、ディップ法の塩化第一スズ濃度によって制御でき、上述した1g/lの濃度では、1GΩ/□程度の面抵抗の被膜となる。被膜面抵抗は上に形成される素子の動作に影響を与えないためには、十分に大きい必要がある。

【0023】薄膜トランジスタ(図2)はガラス基板1上に高抵抗被膜12を形成した後、次の製造工程をへて製造される。第1にCr膜厚1400オングストロームをスパッタリング法によって形成し、パターン化することによりゲート電極3を形成する。次にゲート絶縁膜4、動作層5、オーミックコンタクト層5'となる窒化シリコン膜、ノンドープアモルファスシリコン膜、リンドープアモルファスシリコン膜をそれぞれ400nm、300nm、50nmプラズマCVD法で成膜する。次にトランジスタ以外の部分のアモルファスシリコン膜を除去し、クロム(Cr)を200nmスパッタリングで成膜し、パターン化してドレイン・ソース電極6を形成する。次に透明導電膜ITO(Indium Tin Oxide)を800nmスパッタリング法によって成膜し、パターン化することにより、表示電極7を形成し、トランジスタ不要部のリンドープアモルファスシリコンをエッチング除去する。最後に素子保護膜9として、窒化シリコン膜400nmをプラズマCVD法で成膜し、接続端子部の窒化シリコン膜をエッチング除去することにより薄膜トランジスタが形成される。

【0024】液晶表示装置(図3)は、以下の工程によって製造されるこの薄膜トランジスタが多数形成された基板21と、対向基板31のおおのに液晶分子を配向させるためのポリイミド膜100nmを印刷し、ラビングとよばれる綿布等でポリイミド膜を特定の方向にする処理を行なう。次にガラスファイバー、ガラス球等をスペーサとして、2つの基板を約5μmの間隙をもって貼り合わせ、その中に液晶10を封入する。

【0025】このガラス基板の両側に偏光板101を貼り付けることにより液晶表示装置が製造される。

【0026】

【発明の効果】以上説明したように、本発明は絶縁体基板とトランジスタの間に高抵抗の導電膜が形成されていることにより、基板の帯電を防止し、製造工程で基板上に種々の異物が吸着するのを防止し、製品歩留りを向上さ

せる。エチルアルコール11に塩化第一スズ(SnCl₂)を1g溶解し、ガラス基板1を浸漬する。ガラス基板1を引き上げた後、水蒸気(H₂O)を含んだ雰囲気中で100℃で1時間の熱処理を行なうと(5)式に示す加水分解反応がおこり、基板上に酸化スズ被膜2が形成される。

【0022】

--- (5)

せるという効果を有する。

【0027】更に、絶縁体基板及び導電膜を透明にすることにより、静電気の発生を防止した光を透過する絶縁体基板が得られ、液晶ディスプレイ、センサー等に有効である。

【0028】また、導電膜の面抵抗を80MΩ/□以上10GΩ/□以下に設定することにより、導電膜を介して絶縁体基板上に搭載したトランジスタに影響を及ぼすことなく基板上に静電気の帯電も防止出来るという効果を有する。

【0029】更にまた、本発明の製造方法によれば、面抵抗が有効に制御された導電膜を形成することが可能である。

【0030】更に80MΩ/□以上10GΩ/□以下の導電膜で覆われた絶縁体基板を形成することにより、基板上の静電気の帯電を防止し、半導体装置及び液晶表示装置の製造等に有効である。

【図面の簡単な説明】

【図1】本発明による半導体装置を搭載するための絶縁体基板の一実施例を示す断面図である。

【図2】本発明による半導体装置の一実施例を示す断面図である。

【図3】本発明による液晶表示装置の一実施例を示す断面図である。

【図4】ゲートドライバ、配線系の等価回路のモデル図である。

【図5】従来の薄膜トランジスタアレイ基板の断面図である。

【符号の説明】

- | | |
|-------------------|-------------|
| 1, 11, 21, 31, 41 | ガラス基板 |
| 2, 12, 22 | 酸化スズ膜 |
| 3, 23 | ゲート領域 |
| 4, 24 | ゲート絶縁膜 |
| 5, 25 | アモルファスシリコン |
| 5' | オーミックコンタクト層 |
| 6, 26 | ソース・ドレイン領域 |
| 7, 27 | 表示電極 |
| 8 | 保護膜 |
| 9 | ゲートドライバ |
| 10 | 液晶 |
| 11 | 偏光板 |
| G ₁ | M番目のゲート配線 |

特開平4-324430

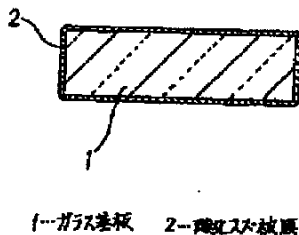
7

G_{M+1}	M+1番目のゲート配線
R_L	ドライバ出力インピーダンス
R_c	配線抵抗

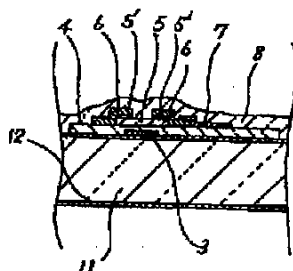
δ

R₁ 本発明による高抵抗被膜による抵抗値
L 隣接するゲートの対向長
W 隣接するゲートのスペース長

【图 1】

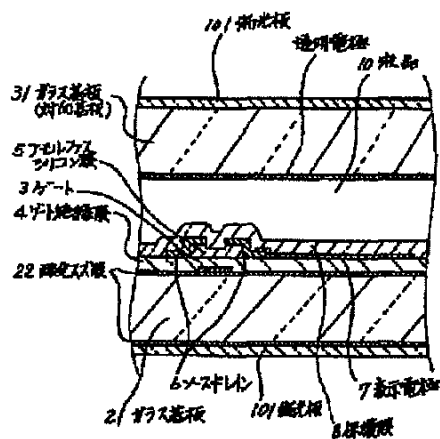


【圖 2】

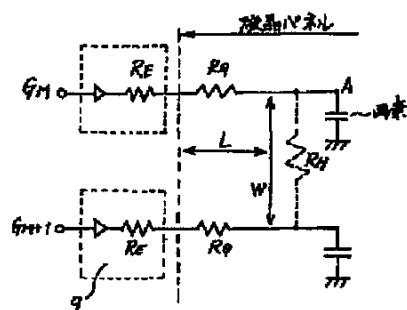


11...ガラス板 12...面光紙板 3...ゲート板
4...ゲート板 5...アクリル板 6...ネオマックス
6...ソステレン板 7...表示電極 8...保護膜

【圖 3】



【图4】



9...デッドライバー

$$G_M \cdots M$$
 番目の子配列, $G_{M+1} \cdots M+1$ 番目の子配列.

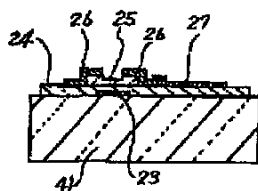
Record-Drive Out Campaign

Re-- 配線抵抗

(6)

特開平4-324430

【図5】



41...ガラス基板 23...ゲート絶縁膜 24...ゲート電極膜

25...アモルファスシリコン 26...γ-スズリン酸塩

27...表示電極